

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-109977

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵
H 01 L 25/065
25/07
25/18

識別記号 庁内整理番号
7220-4M

F I

技術表示箇所

H 01 L 25/ 08

B

審査請求 未請求 請求項の数 8(全 7 頁)

(21)出願番号 特願平3-270864

(22)出願日 平成3年(1991)10月18日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 宮嶋 長夫

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

(74)代理人 弁理士 高田 守 (外1名)

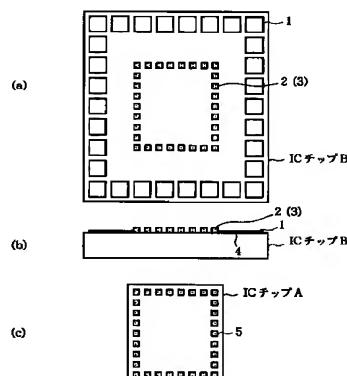
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 多端子で、回路部分の面積の小さなICチップの空きスペースをなくすとともに、多様な種類のICチップからなる半導体装置を得る。

【構成】 ワイヤボンディングパッド1とICチップAを接続するためのパッド2が設けられ、このパッド2上に貴金属からなるバンプ3をその厚みを10μm以下に形成したICチップBと、パッド2に対応するパッド5が設けられたICチップAとを有し、ICチップAのパッド5をバンプ3を介してICチップBのパッド2に熱圧着したことを特徴としている。

【効果】 多端子で、かつ回路部分の小さなICチップ上の空きスペースを効果的になくすことができ、同種、または異種のICチップの複合化が容易となる。



1 ワイヤボンディングパッド
2 外部端子取り出しのためのICチップBのパッド
3 バンプ
4 記録
5 外部端子取り出しのためのICチップAのパッド
A ICチップ
B ICチップ

【特許請求の範囲】

【請求項1】 周縁部にパッドが形成された少なくとも1個のICチップAと、このICチップAの前記パッドの各々またはその一部のパッドに対応して重ね合う位置にパッドをもち、かつワイヤボンドのために十分な大きさのワイヤボンディングパッドを周縁部にもつICチップBとが、前記ICチップAのパッドとICチップBのパッドのいずれか一方もしくは双方のパッド上に形成された貴金属からなるバンプにより熱圧着されていることを特徴とする半導体装置。

【請求項2】 貵金属からなるバンプは、厚みが10μm以下であることを特徴とする請求項1記載の半導体装置。

【請求項3】 貴金属からなるバンプによって熱圧着するICチップAのパッドがICチップAの平面内の任意の位置に配置されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 ICチップBのバンプによってICチップAのパッドと熱圧着されるパッドの各々が対応するワイヤボンディングパッドと前記ICチップBの表面部分に形成された配線によって電気的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 ICチップAとICチップBとの間にバンプにより形成される隙間に樹脂が充填されていることを特徴とする請求項1記載の半導体装置。

【請求項6】 ICチップAおよびICチップBはいずれも集積回路または能動素子を搭載していることを特徴とする請求項1記載の半導体装置。

【請求項7】 ICチップAおよびICチップBはいずれも集積回路を搭載しており、ICチップAは複数個が設けられ、少なくともICチップAの1つが他のICチップAに搭載された集積回路と動作原理の異なる能動素子の集積回路で構成されていることを特徴とする請求項6記載の半導体装置。

【請求項8】 ICチップAは複数個が設けられ、少なくともその1つが他のICチップと基板材料を異にしていることを特徴とする請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多数の入出力ピンを有するICチップと、回路部分が小さく、空きスペースがないパッドサイズを有するICチップとを接続して構成された半導体装置に関するものである。

【0002】

【従来の技術】以下では、ICチップとしてグローロジック（アンド、オア等の基本ロジック）のように、極めてI/O数の多いゲートアレイ（以下、G/Aと記す）を例にとり、図9(a)、(b)を参照して説明する。ゲート数が2～3Kゲートで、I/O数が120～160ピンも必要な場合、あるいは将来、設計ルールが0.

6μm、0.4μmとファイン化し、図9(a)、

(b)に示すように、ロジック部12が小さくなるとワイヤボンディングパッド11がチップサイズを決定してしまうため、ICチップCに空きスペース13が生じてしまう。ワイヤボンディングパッド11は、現状のワイヤボンディング装置のキャビラリの大きさ、位置精度、チップテストピンの機械的制限等から100μmピッチ程度が限界である。このため、必要な入出力端子数、すなわち、ワイヤボンディングパッド数が決まると、図9

10 (a)あるいは千鳥状にワイヤボンディングパッド11を並べた図9(b)のように、最小のチップサイズが決定してしまう。図9(b)の千鳥状にワイヤボンディングパッド11を作れば空きスペース13は大幅に改善できるが、フレームへのワイヤボンディングに工夫が必要となる。いずれにせよ、ワイヤボンディングパッド11の1個の大きさが100μmの幅程度と、絶対値の制限をもっているため、図9(a)、(b)の従来技術では、入出力端子数と内部ロジックのサイズの関係でICチップC内に空きスペース13ができてしまう場合がある。

【0003】

【発明が解決しようとする課題】上記従来構造の欠点、すなわち入出力端子数がICチップCのロジック回路

(G/Aの場合)のサイズに比べて多い場合、あるいは将来、デザインルールがファイン化してロジック部分が現在のサイズよりはるかに小さくなった場合、図9

(a)、(b)に示すようなICチップC内に空きスペース13が生じ、チップコストが低減できなくなる。

【0004】本発明は、上記のような従来の欠点を解決するためになされたもので、新しいチップ構造と、異種プロセスのチップの複合化、異種材料のチップの複合化をはかった半導体装置を得ることを目的とするものである。

【0005】

【課題を解決するための手段】本発明に係る半導体装置は、1つのICチップAと他のICチップBの少なくとも2つのICチップより構成し、ICチップAはワイヤボンディングパッドよりはるかに小さなパッドをもち、このパッドとICチップBの対応するパッドとを、前記

40 両パッドの一方または双方に形成した貴金属からなるバンプにより熱圧着したものである。

【0006】また、バンプは厚みを10μm以下としたものである。さらに、ICチップAのパッドがICチップAの平面内の任意の位置に配置されたものである。また、ICチップBのパッドと対応するワイヤボンディングパッドとは配線により接続されている。さらに、ICチップAとICチップBとの間にバンプにより形成される隙間には樹脂が充填されている。また、ICチップAおよびICチップBにはいずれも集積回路または能動素子が搭載され、ICチップAに複数個が設けられ、その

うちの少なくとも1つは他と異なる動作原理の能動素子となっており、さらに複数のICチップAのうち少なくとも1つは他のものと基板材料を異にしたものである。

【0007】

【作用】本発明においては、ICチップAのパッドは、貴金属による熱圧着が可能であればよいため、原理的にICチップAに空きスペースができないようなパッドサイズを選べる。一方、ICチップBは単に配線のみの時は低コスト化が可能で、高価なプロセスを用いるICチップAに空きスペースを作るより低コスト化が期待できる。

【0008】また、ICチップAとICチップBとの接続はICチップAの平面内の任意の位置で行える。また、ICチップBは配線でバンプとワイヤボンディングパッドとを接続しているので、低抵抗化が容易となる。また、隙間に充填された樹脂により樹脂モールド時の加圧力による両ICチップA、Bの接触が防止される。また、両ICチップA、Bに種々の集積回路や能動素子を搭載することにより大規模、複雑なマルチチップLSIが得られる。

【0009】

【実施例】以下、本発明の一実施例を図について説明する。図1(a)～(c)は本発明の一実施例を示す図で、図1(a)、(b)はICチップBの平面図と側面図であり、図1(c)はICチップAの平面図である。この実施例は、ICチップBに、ICチップAのパッド5と対応するパッド2を設け、このパッド2にICチップAのパッド5を熱圧着するためのバンプ3が形成され、さらにワイヤボンディングパッド1と、このワイヤボンディングパッド1をパッド2に電気的に接続する配線(多層配線でもよい)4を備えた最も単純な一例を示す。なお、配線4は図1(a)の平面図では省略されている。図2はICチップAとICチップBが熱圧着された状態を示す。

【0010】図1において、ICチップBは通常のIC製造に用いられる少なくとも1つの主面を、鏡面研磨したシリコンウエハを通常の酸化工程を通して表面を酸化したのち、A1の蒸着と、その後の写真製版工程によりパッド2、ワイヤボンディングパッド1および前記パッド2とワイヤボンディングパッド1を接続する配線4を形成する。次に、パッド2の部分に写真製版と化学的メッキにより、パッド2の上に金のバンプ3を約7μmの厚さに形成する。この厚さ(10μm以下)は、通常の写真製版で形成可能な写真製版の感光性レジスト膜の限界で、これ以上厚い膜厚を得るには特別な技術、装置を必要とする。また、本例ではバンプ3の厚さを7μmとしたが、これはICチップA、Bの表面構造、ICチップAの厚さおよびICチップAの大きさにより、10μm以下での厚さで任意に選べる。ICチップBのバンプ3で接合されるべきICチップAのパッド5はA1-T1

～A1等の構造を用い、金でメタライズする。次に、ICチップAとICチップBを重ね赤外線顯微鏡による位置合わせをしたのち、100～150°CのN₂ガス中でバンプ3の接触面積に対して50～500Kg重/cm²(望ましくは100～200Kg重/cm²)の加圧をし、約10分間で強固な接続を得る。この状態を図2(a)、(b)に示す。

【0011】本実施例により、例えば多数のI/Oを有する比較的小ゲート数のゲートアレイや、多端子で、かつデザインルールがファインになり、ワイヤボンディングパッドによりチップサイズが決定され、チップ内に空きスペースができる従来例の場合に対し、低コストの有効な解決策となる。

【0012】図3(a)～(c)は本発明の他の実施例を示すもので、図3(a)、(b)はICチップBの平面図と側面図、図3(c)はICチップAの平面図である。この実施例はICチップAのパッド5をICチップAの任意の場所に設けた例を示す。また、図4(a)、(b)にICチップAとICチップBに接続した状態を示す。なお、図3、図4におけるその他の符号は図1、図2と同じものを示す。バンプ3によるICチップAとICチップBの接続を任意の場所に設けることにより、以下のような作用効果が得られる。(1) ICチップBの配線4は、ICチップAより当然低抵抗(配線を厚く、幅を広く)に形成できる。したがって、電源供給、接地をICチップAの任意の場所にとれることにより、ICチップAの設計の自由度が大幅に改善されるとともに、全体として耐ノイズ性に優れた構成が可能となる。

(2) バンプ3間の距離が、例えば1mm以下になるようにして、ICチップAの全体にパッド5およびバンプ3を分布させれば、バンプ3の厚さを5μm程度まで薄くできる。これは樹脂モールド時の樹脂への加圧力により、バンプ3間にシリコン基板が変形し、ICチップAとICチップBとが接触することがなくなるためである。このように、ICチップAの任意の部分に、バンプ3により接觸を行うことにより、バンプ3の厚さを限度一杯まで薄くでき、バンプ形成が一層容易となる。

【0013】図5(a)、(b)は本発明の他の実施例を示す図で、ICチップAとICチップBとがモールドプレスの圧力による機械的変形で、その対向する面が接觸するのを防ぐ方法を示すものである。すなわち、ICチップAとICチップBとを熱圧着後、室温付近では粘度が低い熱重合タイプの充填樹脂6をICチップA、ICチップBの間に隙間に毛細管現象を利用して注入する。かかる後、熱硬化し、またはそのままで樹脂モールドをする。この構造とすれば、樹脂モールド時の圧力でICチップAとICチップBの対向する面が接觸することが避けられる。

【0014】図6(a)、(b)は本発明のさらに他の実施例を示す図で、ICチップBにバイポーラプロセス

による I/F 回路やアナログ回路を搭載した例を示す。この場合、IC チップ A はフル CMOS 回路とし、従来であれば B i-CMOS プロセスを必要としてプロセス自体が高価となるのに対し、本方法では CMOS プロセスとバイポーラプロセスを各々の IC チップ A、B に適用することにより、安価に自由なチップ構成が得られる。なお、7 はバイポーラ素子部分を示す。

【0015】図7(a), (b) は本発明のさらに他の実施例を示す図で、IC チップ A が複数個となる場合を示す。IC チップ A₁～A₄ で示す IC チップ A は、異なるプロセス、異なる動作原理の能動素子で形成することにより、例えばバイポーラアナログ IC チップ、CMOS ロジック、ECL メモリ、CMOS メモリ等により、また、IC チップ B にも能動素子を搭載することにより、大規模、複雑なマルチチップ LSI・IC を構成できる。

【0016】図8(a), (b) は本発明のさらに他の実施例を示す図で、IC チップ A に異種材料の IC チップまたは能動素子を少なくとも 1 個搭載した例を示すものである。例えば、IC チップ A の 1 つである IC チップ A₂ に GaAs の高周波プリスケーラを、IC チップ A₃ に高速ロジックを、また、IC チップ A₁ に Si 基板の CMOS ロジック IC チップを用いて、GHz 帯の通信用 LSI IC を構成することが可能となる。その他、LED チップを搭載してホトカプラの構成も可能となる(図示していない)。

【0017】

【発明の効果】以上説明したように、本発明によれば、ワイヤボンディングパッドの物理的寸法の下限によって、ワイヤボンディングパッドの数が多いときは、その数によってチップサイズが決定された 1 つまたは複数の IC チップを他方の IC チップに接続する構成としたので、一方の IC チップに空きスペースが生じるという不具合を解消できる。また、貴金属からなるバンプは厚みが 10 μm 以下であるので、通常の写真製版技術で容易に実現できる。

【0018】さらに、IC チップ A のパッドを、この IC チップ A の平面内の任意の位置に分布させることができ

きるので、IC チップ B との接続が任意の位置で実現できる。さらに、IC チップ B のワイヤボンディングパッドとバンプ²とを配線で接続したので、IC チップ A より低抵抗に形成でき、IC チップ A の設計の自由度が大幅に改善される。また、IC チップ A と IC チップ B との間にバンプ²により形成された隙間に樹脂が充填されているので、樹脂モールド時の樹脂への加圧力によっても両 IC チップ A、B が接触することがなく、バンプの厚さを 5 μm 程度まで薄くできる。

【0019】さらに、IC チップ A を同一種類または異なる種類の集積回路または能動素子で構成し、これを IC チップ B に接続するようにしたので、大規模、複雑なマルチ・チップ LSI を構成できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図である。

【図2】図1の接続状態を示す構成図である。

【図3】本発明の他の実施例を示す図である。

【図4】図3の接続状態を示す構成図である。

【図5】本発明のさらに他の実施例の接続状態を示す構成図である。

【図6】本発明のさらに他の実施例を示す図である。

【図7】本発明のさらに他の実施例を示す異なるプロセス、動作原理のチップの組み合わせ例を示す構成図である。

【図8】本発明のさらに他の実施例を示す図で、図7のチップ²と異なる多数のチップを用いた構成図である。

【図9】従来の IC チップの構成を示す図である。

【符号の説明】

1 ワイヤボンディングパッド

30 2 外部端子取り出しのための IC チップ B のパッド

3 バンプ²

4 配線

5 外部端子取り出しのための IC チップ A のパッド

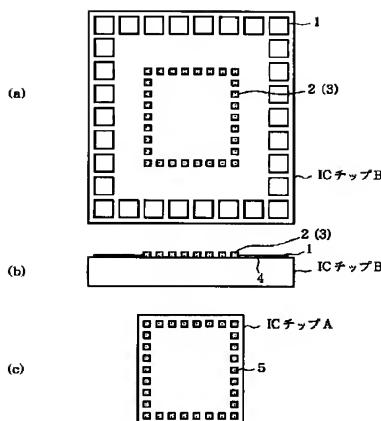
6 充填樹脂

7 バイポーラ素子部分

A IC チップ²

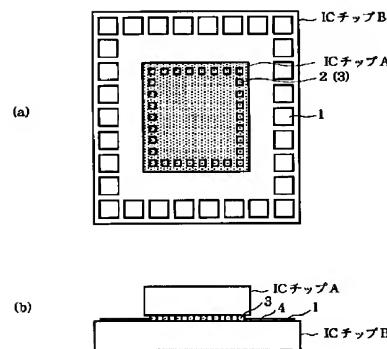
B IC チップ²

【図1】

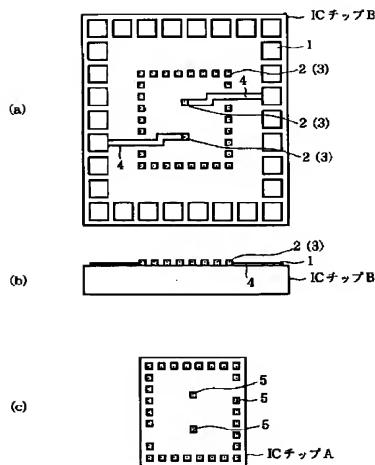


1 ワイヤボンディングパット
 2 外部端子取り出しのためのICチップBのパッド
 3 バンド
 4 記憶
 5 外部端子取り出しのためのICチップAのパッド
 A ICチップ
 B ICチップ

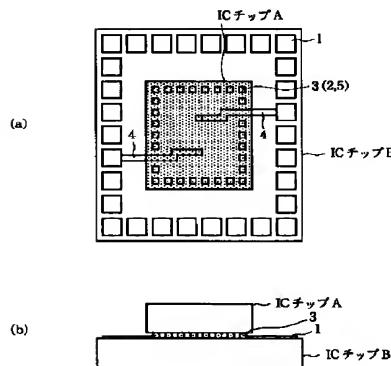
【図2】



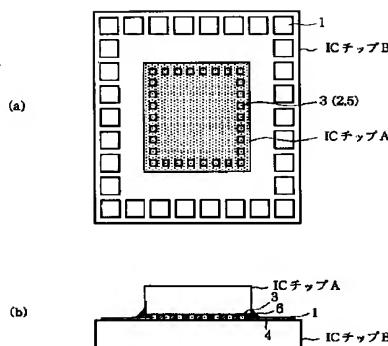
【図3】



【図4】

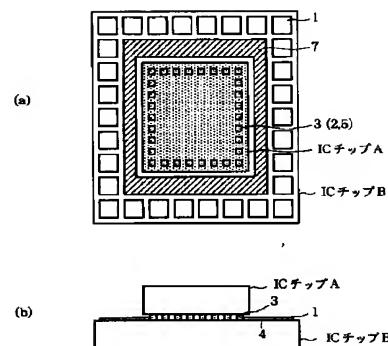


【図5】



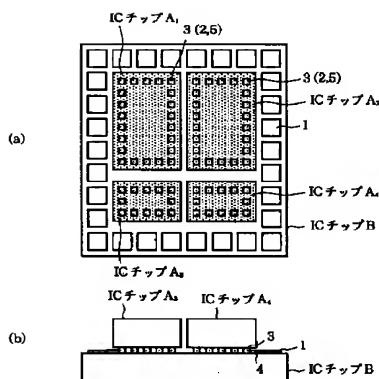
6 充填樹脂

【図6】

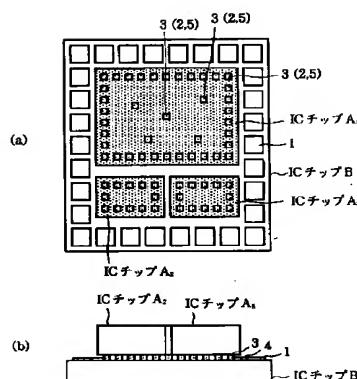


7 バイボーラ素子部分

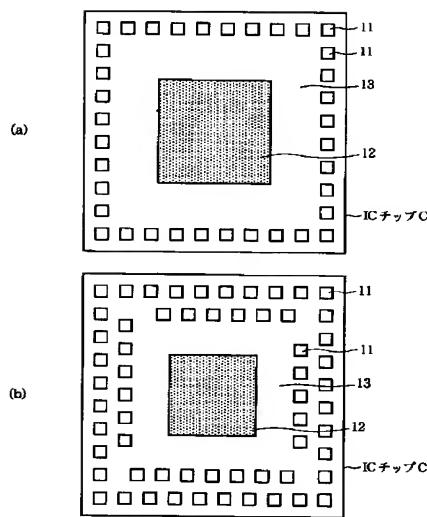
【図7】



【図8】



【図9】



PAT-NO: JP405109977A
DOCUMENT-IDENTIFIER: JP 05109977 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: April 30, 1993

INVENTOR-INFORMATION:

NAME	COUNTRY
MIYAJIMA, TATSUO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP03270864

APPL-DATE: October 18, 1991

INT-CL (IPC): H01L025/065 , H01L025/07 ,
H01L025/18

US-CL-CURRENT: 257/777 , 257/778 , 257/786

ABSTRACT:

PURPOSE: To eliminate a vacant space of an IC chip having multiple terminals and a small circuit area and also obtain a semiconductor device comprising various kinds of IC chips.

CONSTITUTION: A semiconductor device comprises pads 2 for connecting wire bonding pads 1 with an IC chip A, an IC chip B with bumps 3 made of noble

metal formed with a thickness of 10 μm or less formed on the pads 2 and the IC chip A equipped with pads 5 corresponding to the pads 2, wherein the pads 5 of the IC chip A are thermo-compression bonded to the pads 2 of the IC chip B. Thus IC chips of similar or dissimilar kinds having multiple terminals which can effectively eliminate a vacant space on the IC chip having a small circuit part can be easily made composite.

COPYRIGHT: (C)1993, JPO&Japio